

Docket No.: MAS-FIN-419

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant : WOLFGANG HETZEL ET AL.
Filed : CONCURRENTLY HEREWITH
Title : ELECTRONIC COMPONENT HAVING STACKED
SEMICONDUCTOR CHIPS IN PARALLEL, AND A METHOD
FOR PRODUCING THE COMPONENT

CLAIM FOR PRIORITY

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

Claim is hereby made for a right of priority under Title 35, U.S. Code, Section 119,
based upon the German Patent Application 102 55 289.4, filed November 26, 2002.

A certified copy of the above-mentioned foreign patent application is being submitted
herewith.

Respectfully submitted,



For Applicants

WERNER H. STEMER
REG. NO. 34,956

Date: November 26, 2003

Lerner and Greenberg, P.A.
Post Office Box 2480
Hollywood, FL 33022-2480
Tel: (954) 925-1100
Fax: (954) 925-1101

/kf



Prioritätsbescheinigung über die Einreichung einer Patentanmeldung

Aktenzeichen: 102 55 289.4

Anmeldetag: 26. November 2002

Anmelder/Inhaber: Infineon Technologies AG, München/DE

Bezeichnung: Elektronisches Bauteil mit gestapelten Halbleiterchips
in paralleler Anordnung und Verfahren zu dessen
Herstellung

IPC: H 01 L 23/50

Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ursprünglichen Unterlagen dieser Patentanmeldung.

München, den 14. November 2003
Deutsches Patent- und Markenamt
Der Präsident
Im Auftrag



Beschreibung

Elektronisches Bauteil mit gestapelten Halbleiterchips in paralleler Anordnung und Verfahren zu dessen Herstellung.

5

Die Erfindung betrifft ein elektronisches Bauteil mit gestapelten Halbleiterchips in paralleler Anordnung und Verfahren zu dessen Herstellung unter Einsatz eines Flachleiterrahmens.

- 10 Ein Stapeln von Halbleiterchips, um eine höhere Schaltungs- und/oder Speicherdichte zu erreichen, erfordert eine komplexe Anpassung des Layouts der einzelnen Halbleiterchips. Beim Stapeln von Halbleiterchips durch Anordnen ihrer Rückseiten aufeinander werden entweder spiegelbildliche Layouts für die
- 15 Halbleiterchips vorgesehen, oder Bondverbindungen sind komplex und in kreuzenderweise anzuordnen oder entsprechend komplexe Umverdrahtungsfolien müssen den spiegelbildlichen Aufbau liefern. Diese Komplexität kann auch nicht durch ein zueinander Anordnen der aktiven Oberseiten der Halbleiterchips
- 20 überwunden werden.

Aufgabe der Erfindung ist es, ein elektronisches Bauteil zu schaffen, das eine einfache und kostengünstige Anordnung für gestapelte Halbleiterchips aufweist.

25

Gelöst wird diese Aufgabe mit dem Gegenstand der unabhängigen Ansprüche. Vorteilhafte Weiterbildungen der Erfindung ergeben sich aus den abhängigen Ansprüchen.

- 30 Erfindungsgemäß wird ein elektronisches Bauteil geschaffen, das einen Chipstapel mit einem ersten Halbleiterchip und einem zweiten Halbleiterchip aufweist. Darüber hinaus weist das elektronische Bauteil eine Vielzahl von Flachleitern mit ei-

FIN 419 P/200214863

2

nem Innenabschnitt, einem Mittenabschnitt, einem Übergangsabschnitt und einem Außenabschnitt auf. Außerdem weist das elektronische Bauteil ein Gehäuse auf, in das der Chipstapel eingepackt ist und aus dem die Außenabschnitte der Flachleiter herausragen. Die Innenabschnitte und die Mittenabschnitte der Flachleiter sind zwischen den beiden Halbleiterchips angeordnet. Außerdem sind Bondflächen des ersten Halbleiterchips über erste Bondverbindungen mit Innenabschnitten der Flachleiter verbunden. Bondflächen des zweiten Halbleiterchips sind über zweite Bondverbindungen mit den Übergangsabschnitten der Flachleiter verbunden.

Ein derartiges elektronisches Bauteil hat den Vorteil, dass zwei vollständig identische Halbleiterchips übereinander gestapelt werden können, ohne dass komplexe Änderungen des Layouts für die aufeinander zu stapelnden Halbleiterchips vorzusehen sind. Lediglich die erste und die zweite Bondverbindung unterscheiden sich dadurch voneinander, dass sich die erste Bondverbindung zu dem jeweiligen Innenabschnitt eines Flachleiters erstreckt und sich die zweite Bondverbindung für den zweiten Halbleiterchip bis zu dem Übergangsabschnitt eines Flachleiters erstreckt. Dabei werden komplexe Kreuzungen der Bondverbindungen vermieden und spiegelbildliche Anordnungen der Bondflächen des ersten Halbleiterchips zu den Bondflächen des zweiten Halbleiterchips sind ebenfalls nicht erforderlich. Vielmehr sind die erste und die zweite Bondverbindung des ersten und des zweiten Halbleiterchips mit einem Innenabschnitt beziehungsweise einem Übergangsabschnitt desselben Flachleiters elektrisch verbunden. Dieser Flachleiter verbindet somit gleich wirkende Elektroden der beiden Halbleiterchips.

Die Bondflächen des ersten und des zweiten Halbleiterchips können an zueinander kongruenten Positionen angeordnet sein. Das hat den Vorteil, dass die beiden Halbleiterchips vor dem Zusammenbau zu einem Chipstapel mit identischen Testwerkzeugen auf ihre Funktionstüchtigkeit getestet werden können und keinerlei Umprogrammierungen des Testablaufs beziehungsweise des Testwerkzeugs erforderlich werden. Diese Möglichkeit des Testens mit identischen Anlagen sowohl des ersten als auch des zweiten Halbleiterchips vor einem Stapeln hat den Vorteil, dass der Chipstapel eine wesentlich höhere Ausbeute an funktionsfähigen Stapeln zulässt. Besteht eine derartige Möglichkeit nicht, so geht die Einzelausbeute für das jeweilige Halbleiterchip quadratisch in die Gesamtausbeute für den Stapel ein.

Sind die Bondflächen des ersten und des zweiten Halbleiterchips in zentralen Bondkanälen angeordnet, so ist es von Vorteil, wenn die Halbleiterchips flächendeckend bzw. kongruent zueinander angeordnete Bondkanäle aufweisen. Dieses erleichtert auch die Zuordnung der ersten und zweiten Bondverbindungen zu den Innenabschnitten bzw. zu den Übergangsabschnitten der Flachleiter beim Zusammenbau und Bonden der Chipstapel in einem Flachleiterrahmen. Innerhalb der Bondkanäle können die Bondpads ein- oder mehrseitig angeordnet sein. Eine weitere Erhöhung der Zuverlässigkeit und der Einzeltestbarkeit der Halbleiterchips vor einem Stapeln wird erreicht, wenn beide Halbleiterchips eine identische Umverdrahtungsebene aufweisen. Diese Umverdrahtungsebene kann durch einen Interposer für Wirebonding oder durch ein Tape für Leadbonding oder ein Dünnfilm/Redistribution für Wafer-Level-Package realisiert sein. Die dadurch bewirkte Auffächerung der Kontakte des Halbleiterchips erleichtert einen zeitweisen Zugriff mit Testnadeln eines externen Prüfgeräts.

Eine gefahrlose Testbarkeit kann dadurch gewährleistet werden, dass die Verbindung über Umverdrahtungsleitungen zwischen den Bondflächen und der Umverdrahtungsebene durch eine Verkapselung in Form einer Schutzschicht gewährleistet wird. Eine solche Schutzschicht kann durch Drucken, Molden, Dispensen oder Abscheiden erreicht werden. Um ein einfaches und wirkungsvolles Stapeln für erste und zweite Halbleiterchips mit zentralem Bondkanal und nebeneinander angeordneten Reihen von Bondflächen zu erreichen, wird der erste Halbleiterchip mit seiner aktiven Oberseite auf Mittenabschnitten von Flachleitern befestigt und der zweite Halbleiterchip mit seiner Rückseite auf diesen Mittenabschnitten angebracht. Dabei sind die Mittenabschnitte der Flachleiter zwischen den beiden Halbleiterchips angeordnet. Somit sind sowohl der erste Halbleiterchip als auch der zweite Halbleiterchip mit den entsprechenden Abschnitten der zugehörigen Flachleiter auf einfache Weise verbunden, ohne die Position der Bondflächen spiegeln zu müssen und ohne kreuzende Bonddrähte vorzusehen.

Die Außenabschnitte der Flachleiter, die aus dem Gehäuse herausragen, können eine z-förmige Abwinklung aufweisen, die derart ausgerichtet ist, dass die Halbleiterchips mit ihren aktiven Oberseiten in Richtung der Abwinklung ausgerichtet sind. In diesem Fall entsteht ein elektronisches Bauteil mit einem Chipstapel, bei dem eine sogenannte "Face-down"-Struktur entsteht, bei der die aktiven Oberseiten der Halbleiterchips zur Unterseite des elektronischen Bauteils ausgerichtet sind. Durch Abwinklung der Außenabschnitte der Flachleiter in die entgegengesetzte Richtung entsteht eine sogenannte "Face-up"-Struktur, bei der die aktiven Oberseiten der Halbleiterchips in Richtung auf die Oberseite des elektronischen Bauteils ausgerichtet ist. Diese beiden Strukturen kön-

nen für den Wärmehaushalt des elektronischen Bauteils von entscheidender Bedeutung sein, insbesondere wenn das elektronische Bauteil eine auf das Gehäuse aufgebrachte Wärmesenke aufweist.

5

Außerdem ist es möglich, dass innerhalb der Verpackung der Übergangsabschnitt der Flachleiter eine Abwinklung in Richtung auf die aktive Oberseite des zweiten Halbleiterchips aufweist. Eine derartige innere Abwinklung des Flachleiters im Bereich des Übergangsabschnitts hat den Vorteil, dass einerseits die Verankerung des Flachleiters in der Gehäusepackung verbessert wird und andererseits die Bondfläche auf dem Übergangsabschnitt auf das Niveau der aktiven Oberseite des zweiten Halbleiterchips angehoben wird. Die Bonddrahtlänge der zweiten Bondverbindung wird verkürzt. Ferner ist vorteilhafterweise ein Bonden zwischen dem zweiten Halbleiterchip und dem Übergangsabschnitt des Flachleiters auf gleichem Niveau möglich.

- 20 Ein Verfahren zur Herstellung eines elektronischen Bauteils mit einem Chipstapel weist die nachfolgenden Verfahrensschritte auf. Zunächst wird ein erster und ein zweiter Halbleiterchip mit kongruent angeordneten Bondflächen für einen Chipstapel bereitgestellt. Anschließend werden für jeden der
- 25 Halbleiterchips getrennt Funktionstests durchgeführt. Dazu werden mehrere Bondflächen während des Funktionstests von einem Testwerkzeug kontaktiert, wobei Nadeln oder Balls zum Einsatz kommen können.
- 30 Sind die Bondflächen nicht unmittelbar im Bondkanal angeordnet, sondern auf einer Umverdrahtungsebene, so kann die Kontaktierung über die Bondflächen auf der Umverdrahtungsebene erfolgen. Während des Tests kann die übrige aktive Oberseite

bzw. Bondungen des Halbleiterchips insbesondere im Bondkanal durch eine Verkapselungsschicht geschützt sein. Diese Verkapselungsschicht kann unter Freilassen der Bondflächen durch Drucken, Molden, Dispensen oder Abscheiden hergestellt werden. Die Verkapselungsschicht auf dem ersten Halbleiterchip kann beim Zusammenbau des Stapels gleichzeitig zur mechanischen Fixierung des darüber angeordneten zweiten Halbleiterchips dienen.

- 5
- 10 Nach einem getrennten Durchführen der Funktionstests der beiden Halbleiterchips steigt die Wahrscheinlichkeit für die Funktionsfähigkeit des elektronischen Bauteils mit Chipstapel erheblich an. Nach erfolgreichem Funktionstest werden die funktionsgetesteten ersten Halbleiterchips ausgerichtet und
- 15 auf einer Seite von Mittenabschnitten von Flachleitern in einer Bauteilposition eines Flachleiterrahmens fixiert.

- Um die Höhe des Bauteils niedrig zu halten und Kosten zu sparen wird auf zusätzliche, die Halbleiterchips tragende Chipinseln verzichtet. Der erste Halbleiterchip wird somit lediglich von einer Seite der Mittenabschnitte einer Vielzahl der Flachleitern getragen. Anschließend wird die erste Bondverbindung zwischen den Bondflächen des ersten Halbleiterchips und entsprechenden Innenabschnitten von Flachleitern hergestellt. Somit kann ein nur geringfügig geänderter Prozessfluss, wie er bereits für nicht gestapelte Flachleiterrahmen-Techniken eingesetzt wird, auch für die erfindungsgemäße Lösung mit "beide Halbleiterchips nach oben" kostengünstig ausgeführt werden.

30

Nach dem Anbringen des ersten unteren Halbleiterchips wird der zweite obere Halbleiterchip auf einer gegenüberliegenden Seite der Mittenabschnitte der Flachleiter fixiert. Dazu wird

die Rückseite des zweiten Halbleiterchips auf diesen Mittenabschnitten befestigt. Danach werden zweite Bondverbindungen zwischen den Bondflächen des zweiten Halbleiterchips und entsprechenden Übergangsabschnitten der Flachleiter hergestellt.

- 5 Abschließend wird dieser Aufbau gemoldet. Dazu wird der Chipstapel mit Bondverbindungen und Flachleitern an Bauteilpositionen eines Flachleiterrahmens in eine Kunststoffgehäusemasse unter Herausragen lassen von Außenabschnitten der Flachleiter des Flachleiterrahmens verpackt.

10

An jeder Bauteilposition des Flachleiterrahmens befindet sich somit ein erfindungsgemäßer Chipstapel, der die doppelte Schaltungsdichte und doppelte Speicherdichte erreicht, ohne dass die Standardgehäusehöhe von 1,2mm überschritten wird.

- 15 Dazu wird eine Klebefolie für das Kleben der Halbleiterchips an die Mittenabschnitten der Flachleiter eingesetzt, die nur wenige Mikrometer dick ist.

20

Nach dem Verpacken der Chipstapel werden die Bauteilpositionen aus dem Flachleiterrahmen unter Abwinkeln der Außenabschnitte ausgestanzt. Bei diesem Ausstanzen werden gleichzeitig Querverbindungs- und Haltestege zwischen den Flachleitern, die der Stabilisierung des Flachleiterrahmens dienen, abgetrennt. Die Richtung der Abwinklung hängt davon ab, ob

25

eine "Face-up"-Struktur oder eine "Face-down"-Struktur erreicht werden soll.

30

Bei einer weiteren Verfahrensvariante ist es vorgesehen, dass auf die aktive Oberseite des ersten und des zweiten Halbleiterchips vor dem Zusammenbau eine Umverdrahtungsfolie bzw. Umverdrahtungsschicht aufgebracht wird. Diese Umverdrahtungsfolie weist Umverdrahtungsleitungen auf und besitzt größere Bondflächen, als sie in dem zentralen Bondkanal möglich sind.

- Diese Umverdrahtungsleitungen auf der aktiven Oberseite des Halbleiterchips sind durch Kontakte mit Kontaktflächen im zentralen Bondkanal elektrisch verbunden. Anstelle von abgebogenen Umverdrahtungsleitungen können hier auch zusätzliche
- 5 Bonddrähte für zusätzliche Bondverbindungen vorgesehen werden. In diesem Fall weist die Umverdrahtungsfolie eine Umverdrahtungsstruktur auf, die Bondflächen für ein Verbinden mit den Flachleitern aufweist und Umverdrahtungsleitungen, die von diesen Bondflächen zu Bondfingern führen. Dabei sind
- 10 die Bondfinger im Randbereich des zentralen Bondkanals angeordnet und von diesen Bondfingern gehen die zusätzlichen Bondverbindungen zu den Kontaktflächen in dem zentralen Bondkanal der Halbleiterchips aus.
- 15 Zusammenfassend ist festzustellen, dass mit der erfindungsgemäßen Lösung eine Erhöhung der Speicherdichte durch Stapeln bei gleichbleibender Gesamthöhe von Standardgehäusen erreicht werden kann. Ferner können in dem Stapel Halbleiterchips mit doppelreihigen Bondflächen eingesetzt werden, ohne dass spie-
- 20 gelbildliche Layouts für den zweiten Halbleiterchip im Stapel erforderlich sind. Durch die Kongruenz der Bondflächenpositionen ist es darüber hinaus möglich, mit herkömmlichen Testwerkzeugen und Testanlagen die Funktionsfähigkeit jedes einzelnen Halbleiterchips vor einem Zusammenbau zu testen, was
- 25 die Ausbeute für das elektronische Bauteil mit Chipstapel verbessert.

Die Erfindung wird nun anhand der beiliegenden Figuren näher erläutert.

30

Figur 1 zeigt einen schematischen Querschnitt durch ein elektronisches Bauteil gemäß einer ersten Ausführungsform der Erfindung,

Figur 2 zeigt einen schematischen Querschnitt durch ein elektronisches Bauteil gemäß einer zweiten Ausführungsform der Erfindung,

5

Figur 3 zeigt einen schematischen Querschnitt durch ein elektronisches Bauteil gemäß einer dritten Ausführungsform der Erfindung,

10 Figur 4 zeigt einen schematischen Querschnitt durch ein elektronisches Bauteil gemäß einer vierten Ausführungsform der Erfindung.

Figur 1 zeigt einen schematischen Querschnitt durch ein elektronisches Bauteil 1 gemäß einer ersten Ausführungsform der Erfindung. In einem Gehäuse 15 aus einer Kunststoffmasse ist ein Chipstapel 2 angeordnet. Dieser Chipstapel 2 weist einen ersten Halbleiterchip 3 und einen zweiten Halbleiterchip 4 auf, die bei dieser ersten Ausführungsform der Erfindung eine "beide Chips nach oben"-Struktur bilden. Der in dieser Ausführungsform untere, erste Halbleiterchip 3 ist mit seiner aktiven Oberseite 20 an Mittenabschnitten 7 einer Vielzahl von Flachleitern 5 angeklebt. Diese Flachleiter weisen noch einen Innenabschnitt 6, einen Übergangsabschnitt 8 und einen Außenabschnitt 9 auf. Der Außenabschnitt 9 ragt aus dem Gehäuse 15. Der Übergangsabschnitt 8 erstreckt sich in das Gehäuse 15 hinein. Der Innenabschnitt 6 und der Mittenabschnitt 7 sind zwischen den Halbleiterchips 3 und 4 angeordnet.

25
30

Eine Klebstofffolie 32 verbindet mechanisch die Oberseite 20 des ersten Halbleiterchips 3 mit einer Seite des Mittenabschnitts 7. Ein weiteres Klebstofffolie 33 verbindet die ge-

genüberliegende Seite des Mittenabschnitts 7 mit einer Rückseite 21 des zweiten Halbleiterchips 4. Beide Halbleiterchips 3 und 4 sind identisch aufgebaut und weisen in ihrem Zentrum einen langgestreckten Bondkanal 16 beziehungsweise 17 auf.

5 Diese Bondkanäle 16 und 17 haben zweireihig nebeneinander angeordnete Bondflächen 10 und 11. Die Bondflächen 10 und 11 des ersten und zweiten Halbleiterchips 3 und 4 in den entsprechenden Bondkanälen 16 und 17 sind deckungsgleich bzw. kongruent zueinander angeordnet. Diese kongruente Anordnung
10 der Bondflächen erleichtert das Bonden in dem in Figur 1 gezeigten Aufbau mit einem Chipstapel 2.

In der Ausführungsform der Erfindung gemäß Figur 1 ist die Bonddrahtlänge der ersten Bondverbindung 12 wesentlich kürzer
15 als die Bonddrahtlänge der zweiten Bondverbindung 13, da die erste Bondverbindung zwischen Bondflächen 10 des Bondkanals 16 mit Innenabschnitten 6 der Flachleiter 5 verbunden ist und die zweite Bondverbindung 13 mit ihrem Bonddraht die Entfernung zwischen Bondkanal 17 des zweiten elektronischen Bauteils 4 und den Übergangsabschnitten 8 der Flachleiter 5 zu
20 überwinden hat.

Die Gehäusedicke h ist mit 1,2 mm nicht größer als die Standardgehäusedicke elektronischer Bauteile mit nur einem Halbleiterchip im Gehäuse. Die Außenabschnitte 9 der Vielzahl der
25 Flachleiter 5 weisen eine z-förmige Abwinklung 24 auf, die in dieser Ausführungsform gemäß Figur 1 derart nach unten abgewinkelt ist, dass die aktiven Oberseiten 20 und 21 der Halbleiterchips 3 und 4 in Richtung auf die Oberseite 34 des Gehäuses 15 ausgerichtet sind. Eine derartige Struktur wird
30 auch "Face-up"-Struktur genannt.

Das elektronische Bauteil 1 gemäß der Figur 1 wird in einem Prozessfluss hergestellt, der sich geringfügig von der Prozessierung von nicht gestapelten Halbleiterchips in elektronischen Bauteilen unterscheidet. Auf einen Flachleiterrahmen mit mehreren Bauteilpositionen und Flachleitern 5 werden beidseitig klebende Klebstofffolien 32 und 33 aufgebracht. Zunächst wird der untere Halbleiterchip 3 angebracht. Anschließend erfolgt die elektrische Kontaktierung mittels Drahtbonden zwischen Bondflächen 10 des ersten unteren Halbleiterchips 3 und Innenabschnitten 6 der Flachleiter 5. Danach wird der obere zweite Halbleiterchip 4 auf der Klebstofffolie 33 fixiert und ebenfalls mittels Drahtbonden elektrisch mit Übergangsabschnitten 8 der Flachleiter 5 kontaktiert. Anschließend wird der Aufbau gemoldet, wobei das Gehäuse 15 erzeugt wird.

Eine Abschätzung der Gesamthöhe des elektronischen Bauteils mit einem Chipstapel 2 zeigt, dass die Dicke h des Moldkörpers unverändert gegenüber Standardgehäusehöhen belassen werden kann. Vor dem Einbauen der beiden Halbleiterchips 3 und 4 werden diese auf ihre Funktionsfähigkeit getestet, so dass nur funktionsfähige Halbleiterchips für den Aufbau eines Chipstapels berücksichtigt werden.

Figur 2 zeigt einen schematischen Querschnitt durch ein elektronisches Bauteil 120 gemäß einer zweiten Ausführungsform der Erfindung. Komponenten in den nachfolgenden Figuren 2 bis 4, die gleiche Funktionen wie in Figur 1 aufweisen, werden mit gleichen Bezugszeichen gekennzeichnet und nicht extra erwähnt. Ein Unterschied zwischen der ersten Ausführungsform der Erfindung gemäß Figur 1 und der zweiten Ausführungsform gemäß Figur 2 liegt darin, dass die Abwinklung 24 der Außenabschnitte 9 der Flachleiter 5 entgegengesetzt gerichtet ist

- zu der Abwinklung 24 der Figur 1. Die aktiven Seiten 20 und 21 des Chips 3 und des Chips 4 sind bezüglich der Bauteilkontaktierung nach unten ausgerichtet. Deswegen liegt in Figur 2 eine "Face-down"-Struktur vor. Eine derartige "Face-down"-
- 5 Struktur kann intensiv von der Rückseite des ersten Halbleiterchips 3 aus gekühlt werden, wenn auf der Oberseite 34 des Gehäuses 15 ein in dieser Ansicht nicht gezeigter zusätzlicher Kühlkörper angeordnet wird.
- 10 Figur 3 zeigt einen schematischen Querschnitt durch ein elektronisches Bauteil 130 gemäß einer dritten Ausführungsform der Erfindung. Die Ausführungsform gemäß Figur 3 unterscheidet sich von den vorhergehenden Ausführungsformen gemäß Figuren 1 und 2, dadurch, dass die Kontaktflächen 30 und 31 in den
- 15 Bondkanälen 16 und 17 über eine Bondverbindung 14 mit einer Umverdrahtungsebene 18 bzw. 19 verbunden sind, auf der sich größere Bondflächen 10 und 11 für die erste und zweite Bondverbindung 12 und 13 befinden. Dadurch wird eine Auffächerung der Kontaktflächen bewirkt. Dies erleichtert einen Funktions-
- 20 test jedes einzelnen Halbleiterchips 3 und 4 mit demselben Testwerkzeug vor dem Zusammenbau zu einem Chipstapel 2, womit die Ausbeute funktionsfähiger Bauteile 1 mit Chipstapel 2 erhöht wird. Die zusätzliche Bondverbindung 14 in der Ausführungsform nach Figur 3 wird durch Umverdrahtungsleitungen,
- 25 die sich bis auf die aktiven Oberseiten 20 beziehungsweise 21 in dem jeweiligen Bondkanal 16 beziehungsweise 17 erstrecken realisiert. Während Figur 3 ein Ausführungsbeispiel einer "Face-down"-Struktur zeigt, wird in der Figur 4 eine "Face-up"-Struktur gezeigt. Die Umverdrahtungsebene 18, 19 ist hier
- 30 ein zusätzlicher Interposer, also ein Leiterplattenmaterial mit Kupferschicht. In hier nicht dargestellten Ausführungsformen ist sie ein Tape-Material mit Leiterbahn, die mit einem Tape-automated-bonding-Verfahren kontaktiert ist, oder

eine einfache Metallisierungsschicht auf den Chipoberflächen die passiviert worden sind.

Figur 4 zeigt einen schematischen Querschnitt eines elektro-
nischen Bauteils 140 gemäß einer vierten Ausführungsform der
Erfindung. Ein Unterschied der Ausführungsform gemäß Figur 4
zu der Ausführungsform gemäß Figur 3 besteht darin, dass ne-
ben der Umkehr der Ausrichtungen der Halbleiterchips eine zu-
sätzliche Abwinklung 25 für die Übergangsabschnitte 8 inner-
halb des Gehäuses 15 aus Kunststoff vorgesehen ist. Diese Ab-
winklung 25 ist in Richtung der aktiven Oberseite 23 des
zweiten Halbleiterchips 4 angeordnet, so dass die Länge des
Bonddrahtes der zweiten Bondverbindung 13 gegenüber dem Bond-
draht der 3. Ausführungsform gemäß Figur 3 verkürzt ist. Au-
ßerdem ist die Länge der zweiten Bondverbindung 13 durch die
Anordnung von Bondflächen 11 auf einer Umverdrahtungsebene
verkürzt. Darüber hinaus wird mit der Abwinklung des Über-
gangsabschnittes 8 eine verbesserte Verankerung des Flachlei-
ters 5 in dem Gehäuse 15 aus Kunststoff erreicht.

20

Bezugszeichenliste

	1	elektronisches Bauteil
	2	Chipstapel
5	3	erstes Halbleiterchip
	4	zweites Halbleiterchip
	5	Flachleiter
	6	Innenabschnitt
	7	Mittenabschnitt
10	8	Übergangsabschnitt
	9	Außenabschnitt
	10	Bondflächen des ersten Halbleiterchips
	11	Bondflächen des zweiten Halbleiterchips
	12	erste Bondverbindung
15	13	zweite Bondverbindung
	14	zusätzliche Bondverbindung
	15	Gehäuse
	16	Bondkanal des ersten Halbleiterchips
	17	Bondkanal des zweiten Halbleiterchips
20	18	Umverdrahtungsschicht des ersten Halbleiterchips
	19	Umverdrahtungsschicht des zweiten Halbleiterchips
	20	aktive Oberseite des ersten Halbleiterchips
	21	aktive Oberseite des zweiten Halbleiterchips
	22	Rückseite des ersten Halbleiterchips
25	23	Rückseite des zweiten Halbleiterchips
	24	z-förmige Abwinklung
	25	Abwinklung des Übergangsabschnitts
	26	Seite eines Flachleitermittenabschnitts
	27	gegenüberliegende Seite eines Mittenabschnitts
30	28	Umverdrahtungsfolie des ersten Halbleiterchips
	29	Umverdrahtungsfolie des zweiten Halbleiterchips
	30	Kontaktfläche des ersten Halbleiterchips
	31	Kontaktfläche des zweiten Halbleiterchips

FIN 405/200209495

2

32 Klebeband
33 Klebeband
34 Oberseite des Gehäuses
120,
5 130,140 elektronische Bauteile

h Gehäusedicke des elektronischen Bauteils

Patentansprüche

1. Elektronisches Bauteil das folgende Merkmale aufweist:
- einen Chipstapel (2) mit
 - 5 - einem ersten Halbleiterchip (3) und
 - einem zweiten Halbleiterchip (4)
 - eine Vielzahl von Flachleitern (5) mit
 - einem Innenabschnitt (6),
 - einem Mittenabschnitt (7),
 - 10 - einem Übergangsabschnitt (8) und
 - einem Außenabschnitt (9),
 - ein Gehäuse (15)
- wobei der Innenabschnitt (6) und der Mittenabschnitt (7) zwischen den Halbleiterchips (3, 4) angeordnet sind, und
- 15 wobei Bondflächen (10) des ersten Halbleiterchips (3) über erste Bondverbindungen (12) mit Innenabschnitten (6) von Flachleitern (5) verbunden sind, und wobei Bondflächen (11) des zweiten Halbleiterchips (4) über zweite Bondverbindungen (13) mit Übergangsabschnitten (8) von
- 20 Flachleitern (5) verbunden sind.
2. Elektronisches Bauteil nach Anspruch 1, dadurch gekennzeichnet, dass die erste und die zweite Bondverbindung (12, 13) mit einem Innen- (6) bzw. Übergangsabschnitt (8) desselben
- 25 Flachleiters (5) elektrisch verbunden sind.
3. Elektronisches Bauteil nach Anspruch 1 oder Anspruch 2, dadurch gekennzeichnet, dass
- 30 die Bondflächen (10, 11) des ersten und des zweiten Halbleiterchips (3, 4) an zueinander kongruenten Positionen angeordnet sind.

4. Elektronisches Bauteil nach einem der vorhergehenden Ansprüche,
dadurch gekennzeichnet, dass
die Halbleiterchips (3, 4) in kongruent zueinander angeordneten Bondkanälen (16, 17) des ersten und des zweiten Halbleiterchips (3, 4) Bondflächen (10, 11) aufweisen.
5. Elektronisches Bauteil nach einem der vorhergehenden Ansprüche,
dadurch gekennzeichnet, dass
die Bondflächen (10, 11) des ersten und des zweiten Halbleiterchips (3, 4) auf Umverdrahtungsschichten (18, 19) oder Umverdrahtungsfolien der Halbleiterchips (3, 4) angeordnet sind.
6. Elektronisches Bauteil nach einem der vorhergehenden Ansprüche,
dadurch gekennzeichnet, dass
der erste Halbleiterchip (3) mit seiner aktiven Oberseite (20) auf Mittenabschnitten (7) von Flachleitern (5) befestigt ist, und dass der zweite Halbleiterchip (4) mit seiner Rückseite (23) auf Mittenabschnitten (7) von Flachleitern (5) befestigt ist.
7. Elektronisches Bauteil nach einem der vorhergehenden Ansprüche,
dadurch gekennzeichnet, dass
die Außenabschnitte (9) der Flachleiter (5) eine z-förmige Abwinklung (24) aufweisen, die derart ausgerichtet ist, daß die Halbleiterchips (3, 4) mit Ihren aktiven Oberseiten (20, 21) entweder in Richtung der Abwinklung (24) oder entgegen der Richtung der Abwinklung (24) ausgerichtet sind.

8. Elektronisches Bauteil nach einem der vorhergehenden Ansprüche,
dadurch gekennzeichnet, dass
5 der Übergangsabschnitt (8) der Flachleiter (5) eine Abwinklung (25) in Richtung auf die aktive Oberseite (21) des zweiten Halbleiterchips (4) aufweist.
9. Verfahren zur Herstellung eines elektronischen Bauteils,
10 das folgende Verfahrensschritte aufweist:
- Bereitstellen von einem ersten und einem zweiten Halbleiterchip (3, 4) mit kongruent angeordneten Bondflächen (10, 11) für einen Chipstapel (2),
 - Ausrichten und Aufbringen des ersten Halbleiterchips (3) auf einer Seite (26) von Mittenabschnitten (7) von Flachleitern (5) einer Bauteilposition eines Flachleiterrahmens, indem eine aktive Oberseite (20) des ersten Halbleiterchips (3) auf den Mittenabschnitten (7) befestigt wird und erste Bondverbindungen (12) zwischen den Bondflächen (10) des ersten Halbleiterchips (3) und entsprechenden Innenabschnitten (6) von Flachleitern (5) hergestellt werden,
 - Ausrichten und Stapeln des zweiten Halbleiterchips (4) auf einer gegenüberliegenden Seite (27) der Mittenabschnitte (7), indem eine Rückseite (23) des zweiten Halbleiterchips (4) auf den Mittenabschnitten (7) befestigt wird und zweite Bondverbindungen (13) zwischen den Bondflächen (11) des zweiten Halbleiterchips (4) und entsprechenden Übergangsabschnitten (8) der Flachleiter (5) hergestellt werden,

- 5 - Verpacken der Chipstapel (2) mit Bondverbindungen
 (12, 13, 14) und Flachleitern (5) an Bauteilposi-
 tionen des Flachleiterrahmens in einer Kunststoffge-
 häusemasse unter Herausragenlassen von Außenab-
 schnitten (9) der Flachleiter (5) des Flachleiter-
 rahmens..
10. Verfahren nach Anspruch 9,
 dadurch gekennzeichnet, dass
10 nach dem Verpacken der Chipstapel (2) die Bauteilposi-
 tionen aus dem Flachleiterrahmen unter Abwinkeln der Außen-
 abschnitte (9) der Flachleiter (5) gestanzt werden.
11. Verfahren nach Anspruch 9 oder Anspruch 10,
15 dadurch gekennzeichnet, dass
 auf die aktive Oberseite (20, 21) des ersten und des
 zweiten Halbleiterchips (3, 4) eine Umverdrahtungsfolie
 (28, 29) aufgebracht wird, die einen zentralen Bondkanal
 (16, 17) aufweist und anschließend zusätzliche Bondver-
20 bindungen (14) von der Umverdrahtungsfolie (28, 29) zu
 Kontaktflächen (30, 31) in dem zentralen Bondkanal (16,
 17) hergestellt werden.

Zusammenfassung

Elektronisches Bauteil mit gestapelten Halbleiterchips in paralleler Anordnung und Verfahren zu dessen Herstellung.

5

Die Erfindung betrifft ein elektronisches Bauteil (1) mit einem Chipstapel (2), wobei der Chipstapel (2) einen ersten Halbleiterchip (3), einen zweiten Halbleiterchip (4) und eine Vielzahl dazwischen angeordneter Flachleiter (5) mit einem
10 die Halbleiterchips tragenden Mittenabschnitt (7) aufweist. Erste Bondverbindungen (12) verbinden den ersten Halbleiterchip (3) und zweite Bondverbindungen (13) verbinden den zweiten Halbleiterchip (4) mit Innenabschnitten (6) bzw. Übergangsabschnitten (8) der Flachleiter (5), die mit Außenab-
15 schnitten (9) aus einem Gehäuse (15) herausragen.

[Figur 1]

FIG. 1

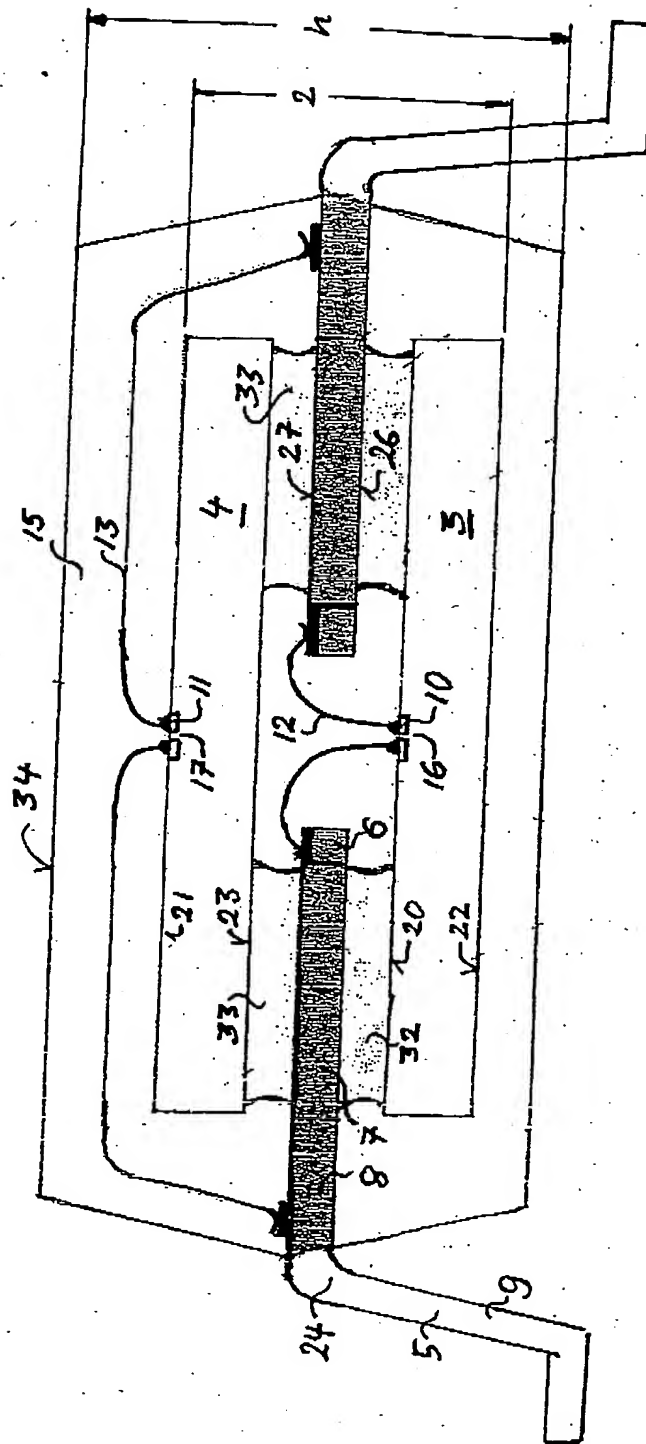
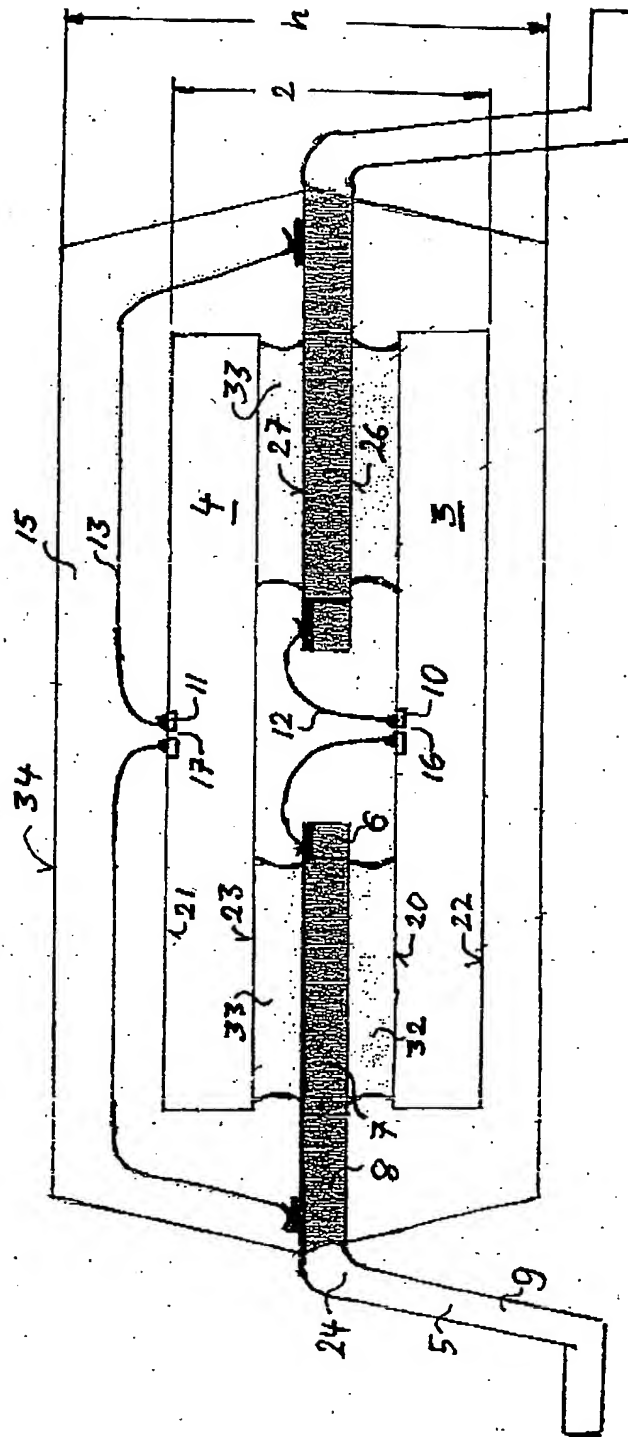


FIG. 1



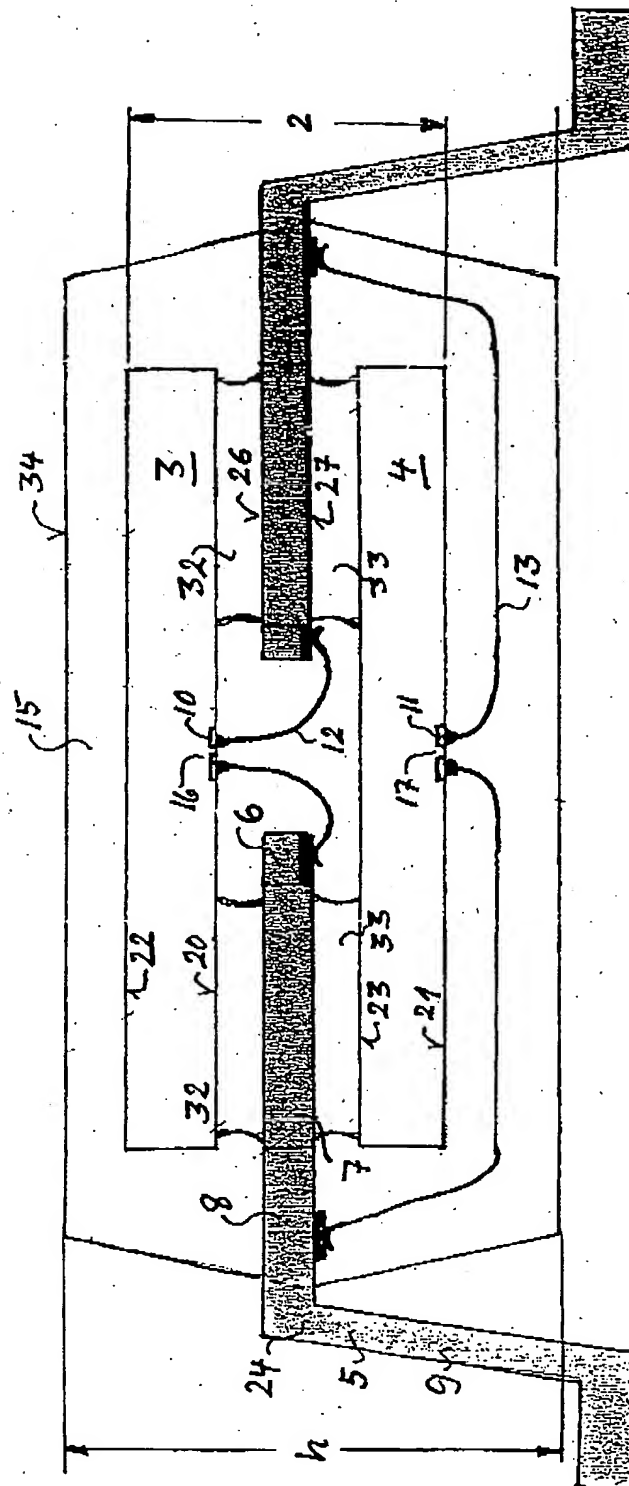
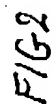
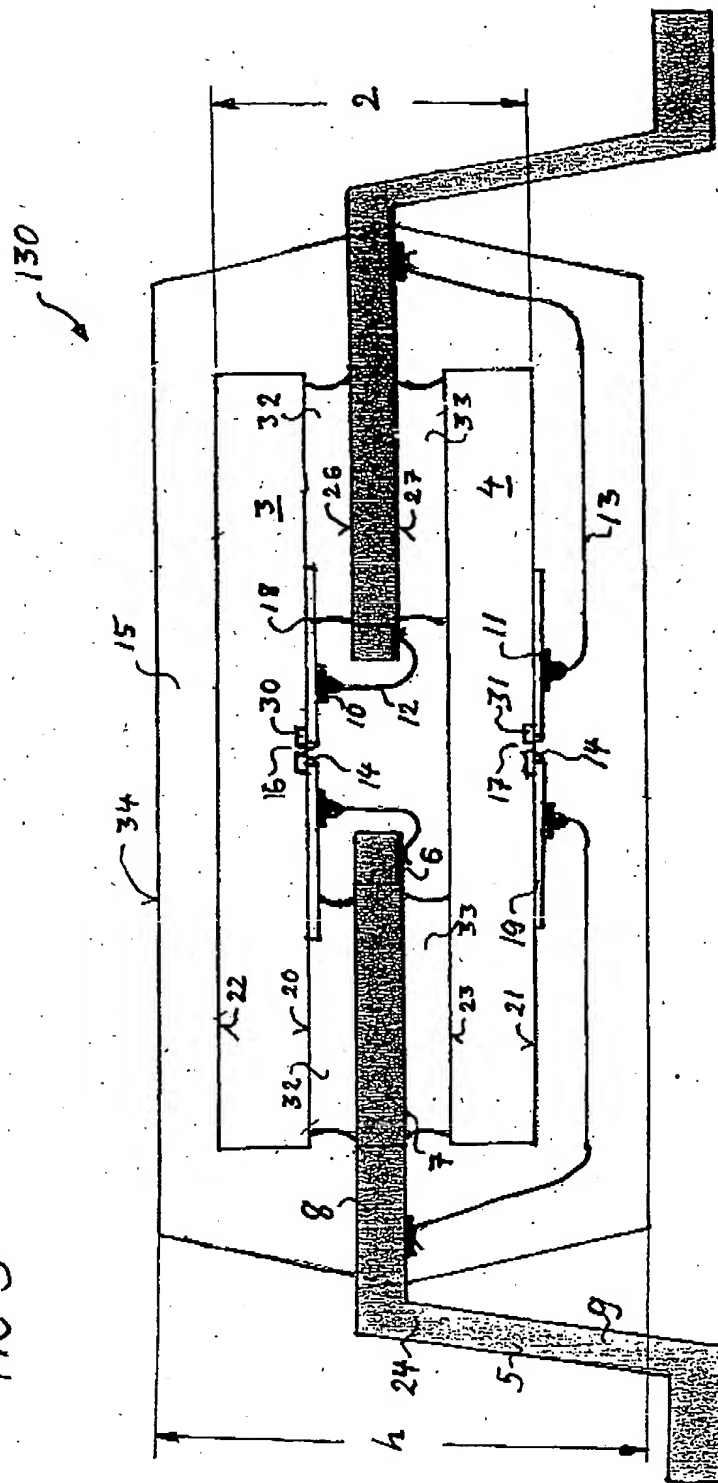


FIG 3



24

FIG 4

140

